

Informatik Laborpraktikum:

Versuch 2:

1. RS – Flipflop mit NAND Gattern

Herleitung:

Das NAND ist das negierte NOR. Jene Aussage ist Grundlage für die Umformung eines RS – Flipflops aus NOR Gattern in ein RS – Flipflop nur mit NAND Gattern.

Zur Umformung müssen daher sowohl Eingänge als auch Ausgänge der Flipflops invertiert werden.

Um diesen Schritt herzuleiten, muss man durch Umformung ein NOR nur mit NAND Gattern darstellen.

Rechnung:

OR nur mit NAND:

$$\begin{aligned} A + B &= \overline{\overline{A + B}} \quad (\text{doppeltes Komplement}) \\ &= \overline{\overline{A} \cdot \overline{B}} \quad (\text{De Morgan}) \\ &= \overline{\overline{A \cdot A} \cdot \overline{B \cdot B}} \end{aligned}$$

Durch invertieren aus dem OR ein NOR machen:

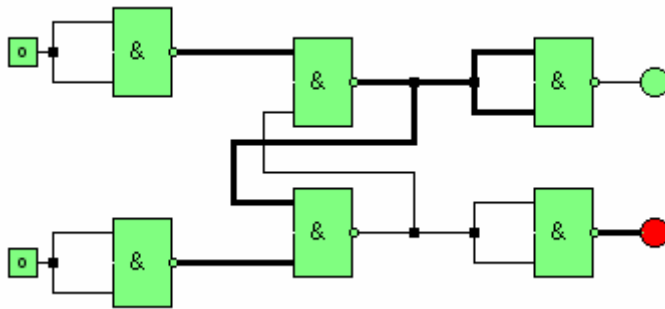
$$NOR = \overline{\overline{\overline{A \cdot A} \cdot \overline{B \cdot B}}}$$

Aus diesem Ausdruck wird deutlich, dass durch NAND Verknüpfungen ein RS – Flipflop gebaut werden kann.

Funktionstabelle:

Eingangsvariable		Zustandsvariable		Ausgangsvariable	
S	R	Q	\overline{Q}	Q ⁺	\overline{Q}^+
0	0	0	1	0	1
0	0	1	0	1	0
1	0	0	1	1	0
1	0	1	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
1	1	0	1	x	x
1	1	1	0	x	x

Logikplan:

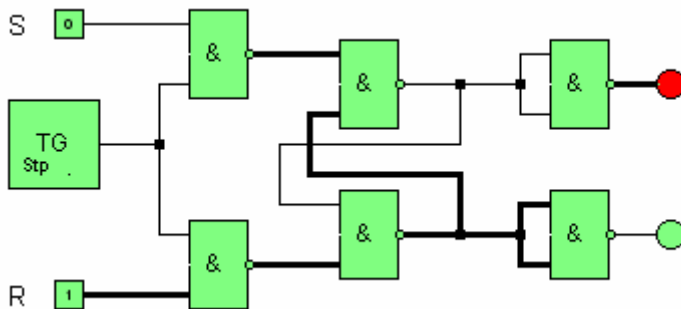


2. Taktzustandsgesteuertes RS – Flipflop

Um das Flipflop so umzubauen, dass es mit einem Taktgeber arbeitet, muss man an jedem Eingang lediglich eine der Leitungen, die jeweils einen Eingang beim durchlaufen des ersten NANDs invertieren, zusammenschließen und an einen Taktgeber anschließen.

Dies kann man aus dem oben stehenden Flipflop ableiten. Der Eingang wird nur dann geschaltet, wenn aus dem ersten NAND eine 0 kommt. Diese wird im NAND nur dann ausgegeben, wenn beide Eingänge 1 sind. Eine 1 wird hier durch den Schalter des Eingangs abgegeben, die zweite vom Takt. Daher sind keine weiteren NANDS notwendig.

Logikplan:

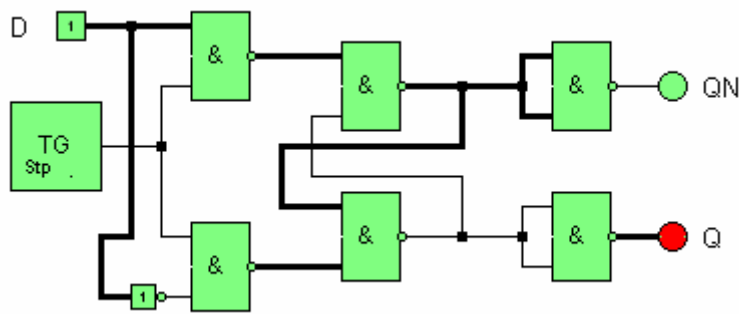


3. Taktzustandsgesteuertes D – Flipflop

Um aus dem RS – Flipflop ein D – Flipflop zu bauen, muss der Rücksetzeingang negiert werden und mit dem gleichen Schalter verbunden werden, der den Setzeingang steuert.

Dieses kann durch ein weiteres NAND Gatter realisiert werden, welches einen Inverter ersetzt.

Logikplan:



4. Modulo-5-Zähler

Der Modulo – 5 – Zähler zählt binär von 0 bis 4 und wiederholt jenes immer wieder. Er wird mit drei D – Flipflops realisiert.

Entwicklung

Funktionstabelle:

Zahl	A_2	A_1	A_0	D_2	D_1	D_0
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	0	0	0
5	1	0	1	x	x	x
6	1	1	0	x	x	x
7	1	1	1	x	x	x

KV – Diagramm D_0

	A_1			
	1	1	x	0
A_0	0	0	x	x
	A_2			

$$D_0 = \overline{A_0} \cdot \overline{A_2}$$

KV – Diagramm D_1

	A_1			
	0	1	x	0
A_0	1	0	x	x
	A_2			

$$D_1 = (A_0 \neq A_1)$$

KV – Diagramm D_2

	A_1			
	0	0	x	0
A_0	0	1	x	x
	A_2			

$$D_2 = A_0 \cdot A_1$$

Aus den minimierten Funktionen lässt sich das Schaltnetz herleiten, welches die Pegel für den Modulo- Zähler entsprechend der Vorgabe weitergibt.

Logikplan:

