

4. Sach

4.1 Eigenschaften von Symbolen (Fortsetzung)

Jedes Symbol hat bestimmte Eigenschaften:

- Name (z.B. R1,C3, U1A)
- Wert (47k, 50p, 7400)
- Pins und deren Anzahl

4.2 Pins

Pins sind die Anschlusspunkte für elektrische Verbindungen (hier: Netze)

Pins haben folgende Eigenschaften:

- Namen
- Nummer
- Typ
- Richtung
- LEQ (Logical Equivalence Code → logisch gleiche Pins sind austauschbar)

LEQ = Vertauschbarkeit (→ Kommutativität)

LEQ = 0 → Pin nicht vertauschbar

LEQ > 0 → Pin mit anderen Pins derselben LEQ Zahl austauschbar

LEQ(A) ≠ LEQ(B) → nicht vertauschbar

LEQ(A) = LEQ(B) → Pins sind vertauschbar

4.3 Netze

Ein Netz ist die leitende Verbindung von zwei (oder mehreren) Pins. Jedes Netz hat einen eindeutigen Namen (in EAGLE z.B. N\$5, N\$34).

Teile von Netzen, die denselben Namen haben, gehören zum selben Netz!

Diese leitende Verbindung muss im physikalischen Layout tatsächlich existieren und zwar als Leiterbahn (im Schaltplan wird dies nicht gezeigt).

4.4 Busse

Ein Bus ist die grafische Darstellung von vielen (meist zusammengeführten) Netzen, die jedoch jeweils getrennt verbunden sein müssen. Busse dienen der Übersichtlichkeit des Schaltplans (und helfen beim Entflechten).

Ein Bus besitzt einen Array-Namen, z.B. in EAGLE A[0..9], der den Namen der zugehörigen Netze entspricht.

4.5 Layer des Schaltplans

Layer sind virtuelle Zeichnungsebenen. In EAGLE hat jeder Layer einen Namen und eine Nummer:

Layer #	Name/Funktion
91	Nets / Netze
92	Busses / Busse
93	Pins
94	Symbols
95	Names
96	Values
:	
eigene Layer:	
110	Logo
111	Kommentar

5. Verpackung von Symbolen in Devices (Bauelementen)

Bool'sche Schaltsymbole (Bsp. NAND, NOT) sollen in einen Mikrochip (genormtes Gehäuse) gebaut werden.

Bsp. NOT: Der Chip hat 14 Pins, 2 fallen für die Stromversorgung weg → 12 Pins für NOTs → 6 Mal kann ein NOT verbaut werden.

Die einzelnen Pins werden in U-Form beginnend oben links aufsteigend mit einer Nummer versehen. Jedes NOT erhält eine Sektion im Chip, welche mit Großbuchstaben gekennzeichnet wird.

Aus diesen Daten und einer entsprechenden Skizze kann man sich nun eine Pin-Port-Tabelle herleiten.

Pin-Port-Table für NOT (Baustein 7404)

Pad-Nr.	Pin Name	Sektion	LEQ
1	IN	A	0
2	OUT	A	0
3	IN	B	0
4	OUT	B	0
5	IN	C	0
6	OUT	C	0
7	GND	---	0
8	OUT	D	0
9	IN	D	0
10	OUT	E	0
11	IN	E	0
12	OUT	F	0
13	IN	F	0
14	PWR	---	0

Aufgabe: Erstellen Sie die Pin-Port-Tabelle für einen NAND-Baustein (Bauteil 7400)

Pad-Nr.	Pin Name	Sektion	LEQ
1	IN_A	A	1
2	IN_B	A	1
3	OUT	A	0
4	IN_A	B	2
5	IN_B	B	2
6	OUT	B	0
7	GND	---	0
8	OUT	C	0
9	IN_B	C	3
10	IN_A	C	3
11	OUT	D	0
12	IN_B	D	4
13	IN_A	D	4
14	PWR	---	0