

6. Annotation

Die Annotation ist die Beschriftung von Schaltungen, d.h. die rein logische (Text-)Information über verschiedene Teile einer Schaltung

➔ Netze, Pins, Symbole, Bauteile (Devices), Werte

Bei der Annotation werden alle grafischen Information herausgefiltert.

Netzliste:

Netzname	Pinliste
N\$3	R1-B, C5-X1
:	:

... für alle Netze werden die Infos entsprechend eingetragen. Aus der rechten Seite ergibt sich zudem die Bauteilliste, welche die Bauteile und ihre Stückzahl beinhaltet.

Vorwärts-Annotation:

Schaltplan → Annotation → Board/Platine

Rückwärts-Annotation:

Der entsprechende Vorgang in umgekehrter Reihenfolge (in EAGLE möglich, allerdings nicht sonderlich gut!)

➔ Wenn die Netzliste und Bauteilliste (=Stückliste), d.h. die gesamte Annotation, identisch sind, sind der zugehörige Schaltplan und das zugehörige Board konsistent (= nicht widersprüchlich).

7. ERC – Electric Rules Check

Der ERC prüft, ob die Netzliste (und somit der Schaltplan) einfache elektrische Regeln einhält oder nicht. Der ERC erkennt folgende Fehler:

- Kurzschlüsse
- Verbindung nicht geschlossen
- Verpolung: falscher Anschluss
- Power (= Vcc) oder Masse (= GND) sind an einem Signalpin
- N.C. (= not connected) Pins sind doch verbunden
- Netz ist eine Antenne (= Netz mit nur einer Verbindung an einem Pin)
- „Floating Net“ → Netz ganz ohne Anschlüsse
- Kein Vcc-Netz an Vcc-Pin oder kein GND-Netz an GND-Pin
- Nur Input-Pins an einem Netz (→ logische Bauteile)
- Mehr als ein Output an einem Netz (→ logische Bauteile)
- Input-Pin ohne Netz (→ logische Bauteile)

➔ Der ERC gibt nur Ratschläge, die entweder zu befolgen oder zumindest zu „billigen“ sind aber immer zu prüfen sind.

8. Layer des Boards

Die Layer des Boards entsprechen den virtuellen Zeichnungsebenen, die zum Teil (!) auch physikalische Schichten des realen Boards darstellen.

TOP (rot) → Leiterbahnen + Pads (→ Kupferbahnen)

BOT (blau) → wie bei TOP

Weitere „innere“ Layer

PADS → zum Anschluss der Bauelemente

VIA → Durchkontaktierungen TOP ↔ BOT (→ sollten möglichst vermieden werden)

DIMENSION → Umriss der Platine → muss geschlossene Form haben!

9. Übersetzen des Schaltplans

Vorher:

- ERC des Schaltplans fertig
- Vollständige Stückliste, d.h. für alle Symbole fertige Devices
- Netzliste vollständig

In EAGLE den Befehl „edit .brd“ (→ Leerzeichen vor dem Punkt nicht vergessen) eingeben. Es entstehen:

- Board-Editor Fenster (am besten mit schwarzem Hintergrund)
- Leeres Board mit Default-Umriss
- Alle Bauelemente mit Gehäuseform „fliegen“ links neben leerem Board
- Alle noch nicht verlegten Verbindungen (Airlines, Rubberbands), d.h. das Rattennest

10. Platzieren der Bauelemente

Regeln:

1. Die Bauteile immer auf das Raster platzieren (→ dieses eingeschalten!)
2. Alle Chips mit derselben Orientierung (→ Einkerbungen in die gleiche Richtung)
3. Bauteile gut verteilen:
 - a. Nicht zu nah am Rand
 - b. Nicht zu nah an einander
 - c. Baugruppen, die logisch zusammengehören auch physisch zusammen
 - d. Busse möglichst kurz
 - e. Blick aufs Rattennest → Gesamtsumme der Strecken kurz und wenig Überschneidung
 - f. Steckerleisten rechts an den Rand mit ca. 1 cm Platz